

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-027106

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H03K 3/03

(21)Application number : 09-173653

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.06.1997

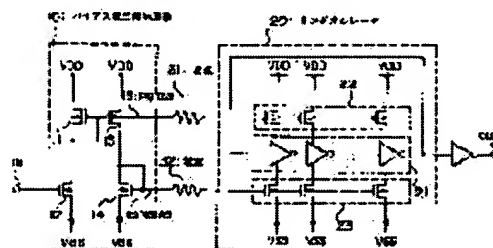
(72)Inventor : OSHIMA KOJI

(54) VOLTAGE CONTROLLED OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the oscillation of current due to charge and discharge between gate terminals of a MOS transistor that configures a current mirror circuit between a bias voltage generation circuit and a ring oscillator.

SOLUTION: Resistance 31 is inserted between a gate terminal of a P-channel MOS transistor 11 of a bias voltage generation circuit 10 and a gate terminal of a P-channel MOS transistor 22 of a ring oscillator 20 that configures a current mirror circuit with the transistor 11. Also, resistance is inserted between a gate terminal of an N-channel MOS transistor 14 of the circuit 10 and a gate terminal of an N-channel MOS transistor 23 of the oscillator 20 which configures a current mirror circuit with the transistor 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27106

(43) 公開日 平成11年(1999) 1月29日

(51) Int. Cl.⁶
H03K 3/03

識別記号

P 1
H03K 3/03

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平9-173653

(22) 出願日 平成9年(1997) 6月30日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大島 浩二

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 弁理士 佐々木 宗治 (外3名)

(54) 【発明の名称】 電圧制御発振回路

(57) 【要約】

【課題】 バイアス電圧発生回路とリングオシレータとの間でカレントミラー回路を構成するMOSトランジスタのゲート端子間の充放電による電流の発振を抑えて、その発振による回路の破損を防ぐ。

【解決手段】 バイアス電圧発生回路10のPチャネルMOSトランジスタ11のゲート端子と、そのPチャネルMOSトランジスタ11とでカレントミラー回路が構成されるリングオシレータ20のPチャネルMOSトランジスタ22のゲート端子との間に抵抗31を。また、バイアス電圧発生回路10のNチャネルMOSトランジスタ14のゲート端子と、そのNチャネルMOSトランジスタ14とでカレントミラー回路が構成されるリングオシレータ20のNチャネルMOSトランジスタ23のゲート端子との間に抵抗32をそれぞれ挿入した。

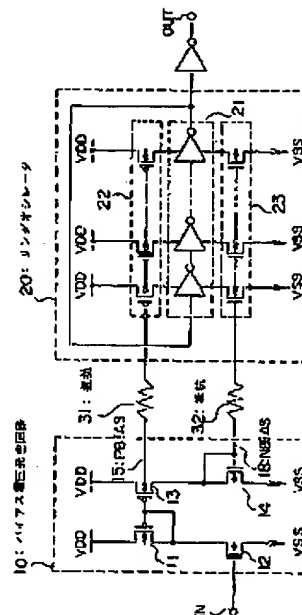


図1 本発明による電圧制御発振回路の概略図

(2)

特開平11-27106

1

【特許請求の範囲】

【請求項1】 直列に接続された第1の電流制御素子と第2の電流制御素子、及び一方が前記第1の電流制御素子とて、他方が前記第2の電流制御素子とてカレントミラー回路がそれぞれ構成されるよう接続された第3の電流制御素子と第4の電流制御素子を有してなり、前記第2の電流制御素子に印加される制御電圧に応じて前記第1及び第4の電流制御素子の各ゲート端子にバイアス信号を発生するバイアス信号発生回路と、

前記第1及び第4の電流制御素子の各ゲート端子に発生するバイアス信号の電流を低減する電流低減手段と、前記第1の電流制御素子とてカレントミラー回路が構成され、前記電流低減手段を介して印加される前記第1の電流制御素子のゲート端子からのバイアス信号に基づいて動作する複数の第5の電流制御素子、及び前記第4の電流制御素子とてカレントミラー回路が構成され、前記電流低減手段を介して印加される前記第4の電流制御素子のゲート端子からのバイアス信号に基づいて動作する複数の第6の電流制御素子を有し、さらに、前記第5及び第6の電流制御素子の動作に基づいて発振信号の周波数を可変する縦列接続のインバータ回路を有するリングオシレータとを備えたことを特徴とする電圧制御発振回路。

【請求項2】 前記電流低減手段は、前記バイアス信号発生回路の第1の電流制御素子のゲート端子及び該第1の電流制御素子とてカレントミラー回路が構成されるリングオシレータの複数の第5の電流制御素子のゲート端子の間、また、前記バイアス信号発生回路の第4の電流制御素子のゲート端子及び該第4の電流制御素子とてカレントミラー回路が構成されるリングオシレータの複数の第6の電流制御素子のゲート端子の間にそれぞれ挿入された抵抗からなっていることを特徴とする請求項1記載の電圧制御発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、PLL回路で使用されるリングオシレータ型の電圧制御発振回路に関するものである。

【0002】

【従来の技術】 従来、この種の電圧制御発振回路は図2に示すようにバイアス電圧発生回路とリングオシレータとから構成されている。バイアス電圧発生回路10は、1段以上のカレントミラー回路で構成され、リングオシレータ20の制御電圧であるバイアス電圧信号PBias、NBiasをそれぞれ生成する。このバイアス電圧信号PBias、NBiasの電圧レベルは、印加された制御電圧INに応じて変化するNチャネルMOSトランジスタ12の電流量によって変化する。制御電圧INの電圧レベルが上昇すると電流量が上昇するためバイアス電圧信号PBiasの電圧レベルは下がり、バイアス電圧信号NBiasの電圧レベルは上

2

昇する。その反対に制御電圧INの電圧レベルが下がると電流量が減少するためバイアス電圧信号PBiasの電圧レベルは上がり、バイアス電圧信号NBiasの電圧レベルは下がる。

【0003】 リングオシレータ20は、縦列接続された奇数段のインバータ回路21とPチャネルMOSトランジスタ22及びNチャネルMOSトランジスタ23とから構成され、各インバータ回路21の高電位電圧源VDD側にはPチャネルMOSトランジスタ22がそれぞれ接続され、低電位電圧源VSS側にはNチャネルMOSトランジスタ23がそれぞれ接続されている。各PチャネルMOSトランジスタ22のゲート端子にはバイアス電圧信号PBiasが印加されており、各NチャネルMOSトランジスタ23のゲート端子にはバイアス電圧信号NBiasが印加されている。そのためPチャネルMOSトランジスタ22とNチャネルMOSトランジスタ23は共にバイアス電圧信号PBias、NBiasに応じたオン抵抗となっており、また、PチャネルMOSトランジスタ22はバイアス電圧発生回路10内のPチャネルMOSトランジスタ11と、NチャネルMOSトランジスタ23はバイアス電圧発生回路10内のNチャネルMOSトランジスタ14とそれぞれカレントミラー回路が構成されているため、インバータ回路21のソース電流としてはバイアス電圧発生回路10で生成される電流に比例した電流が流れる。

【0004】 従って、印加された制御電圧INの電圧レベルが上昇すると、バイアス電圧発生回路10内の電流が増加するためインバータ回路21へのソース電流は増加し、リングオシレータ20で発振する信号の周波数が高くなり、その反対に制御電圧INの電圧レベルが下がると、バイアス電圧発生回路10内の電流が減少するためインバータ回路21へのソース電流は減少し、リングオシレータ20で発振する信号の周波数が低くなる。以上のようにして従来の電圧制御発振回路は動作している。

【0005】

【発明が解決しようとする課題】 近年、システムクロック周波数の上昇に伴い電圧制御発振回路においても高い発振周波数が望まれている。また、一般に製造プロセスや動作環境の変動を考慮して設計された電圧制御発振回路は最小デザインルールに比べて大きなゲート長/ゲート幅のトランジスタで設計されており、このことは電圧制御発振回路の各トランジスタのゲート容量が通常のトランジスタのゲート容量に比べて大きいことを示している。

【0006】 従って、前述した従来の電圧制御発振回路では、回路内の各トランジスタのゲート容量が大きく、PチャネルMOSトランジスタ22とNチャネルMOSトランジスタ23がインバータ回路21に直列に接続されているため、高い周波数で発振するとインバータ回路21の高速な充放電によりPチャネルMOSトランジスタ

(3)

特開平 11-27106

3

4

タ22とNチャネルMOSトランジスタ23のそれぞれのゲート端子側も影響を受け、カレントミラー回路を構成しているPチャネルMOSトランジスタ11、22のゲート端子間で、また、NチャネルMOSトランジスタ14、23のゲート端子間でそれぞれ電流の充放電が行われるようになり、これは次第に無視できない値となる。

【0007】また、バイアス電圧発生回路10内のPチャネルMOSトランジスタ11とNチャネルMOSトランジスタ14はゲート端子とドレイン端子とが接続されているため、前述のゲート端子間の電流の充放電はそれぞれのドレイン電流にも影響を及ぼし、さらにその充放電電流が次第に増幅されて発振に至る場合がある。このため、従来の電圧制御発振回路では、前記ゲート端子間の充放電による電流が発振した場合には、最悪では回路の故障を招き、電流が発振しない場合でもバイアス電圧信号上で電流が振動することで電圧制御発振回路の発振が不安定となり、入力制御電圧INに対して一定の周波数で発振できなくなっていた。

【0008】

【課題を解決するための手段】本発明に係る電圧制御発振回路は、直列に接続された第1の電流制御素子と第2の電流制御素子、及び一方が前記第1の電流制御素子とで、他方が前記第2の電流制御素子とでカレントミラー回路がそれぞれ構成されるよう接続された第3の電流制御素子と第4の電流制御素子を有してなり、前記第2の電流制御素子に印加される制御電圧に応じて前記第1及び第4の電流制御素子の各ゲート端子にバイアス信号を発生するバイアス信号発生回路と、前記第1及び第4の電流制御素子の各ゲート端子に発生するバイアス信号の電流を低減する電流低減手段と、前記第1の電流制御素子とでカレントミラー回路が構成され、前記電流低減手段を介して印加される前記第1の電流制御素子のゲート端子からのバイアス信号に基づいて動作する複数の第5の電流制御素子、及び前記第4の電流制御素子とでカレントミラー回路が構成され、前記電流低減手段を介して印加される前記第4の電流制御素子のゲート端子からのバイアス信号に基づいて動作する複数の第6の電流制御素子を有し、さらに、前記第5及び第6の電流制御素子の動作に基づいて発振信号の周波数を可変する縦列接続のインバータ回路を有するリングオシレータとを備えたものである。

【0009】本発明においては、バイアス信号発生回路の第1及び第4の電流制御素子の各ゲート端子に発生するバイアス信号は、電流低減手段によって電流がそれぞれ低減され、リングオシレータの複数の第5の電流制御素子及び複数の第6の電流制御素子に印加する。このため、カレントミラー回路が構成される第1及び第5の電流制御素子のゲート端子間と、第4及び第6の電流制御素子のゲート端子間とで行われていた電流の充放電を抑

えることができる。

【0010】

【発明の実施の形態】図1は本発明の実施形態に係るリングオシレータ型の電圧制御発振回路の構成を示すブロック図であり、なお、図2で説明した従来と同一又は相当部分には同じ符号を付し説明を省略する。

【0011】本実施形態では、バイアス電圧発生回路10のPチャネルMOSトランジスタ11のゲート端子と、そのPチャネルMOSトランジスタ11とでカレントミラー回路が構成されるリングオシレータ20のPチャネルMOSトランジスタ22のゲート端子との間に抵抗31を、また、バイアス電圧発生回路10のNチャネルMOSトランジスタ14のゲート端子と、そのNチャネルMOSトランジスタ14とでカレントミラー回路が構成されるリングオシレータ20のNチャネルMOSトランジスタ23のゲート端子との間に抵抗32をそれぞれ挿入したものである。

【0012】バイアス電圧発生回路とリングオシレータとの間に抵抗が挿入されてなる電圧制御発振回路においては、従来と同様にバイアス電圧発生回路10のNチャネルMOSトランジスタ12のゲート・ソース間に制御電圧INが印加されると、その制御電圧INのレベルに応じてPチャネルMOSトランジスタ11のゲート端子にバイアス電圧信号PBiasが、NチャネルMOSトランジスタ14のゲート端子にバイアス電圧信号NBiasがそれぞれ発生する。このバイアス電圧信号PBias、NBiasは、それぞれの抵抗31、32により、電圧降下することなく電流が減少し、そして、バイアス電圧信号PBiasはリングオシレータ20のPチャネルMOSトランジスタ22のゲート端子に、バイアス電圧信号NBiasはNチャネルMOSトランジスタ23のゲート端子にそれぞれ印加する。

【0013】このように、リングオシレータ20のPチャネルMOSトランジスタ22のゲート端子と、NチャネルMOSトランジスタ23のゲート端子にそれぞれ印加するバイアス電圧信号PBias、NBiasの電流を抵抗31、32により減少させて、カレントミラー回路が構成されるPチャネルMOSトランジスタ11、22のゲート端子間と、NチャネルMOSトランジスタ14、23のゲート端子間でそれぞれ行われる電流の充放電を抑えるようにしたので、各ゲート端子間の充放電による電流の発振を抑えることが可能となり、そのため、その発振による回路の故障を防ぐことができるという効果がある。

【0014】また、電流の充放電によるバイアス電圧信号PBias、NBiasの変動も抑止できるので、電圧制御発振回路が、印加された制御電圧INに対して一定の周波数で発振できるようになり、このため、より高い周波数でも安定して発振することが可能となり、このことはPLL回路全体としてのジッタ低減につながるという効果がある。

(4)

特開平 11-27106

5

6

る。

【0015】

【発明の効果】以上のように本発明によれば、リングオシレータの複数の第5の電流制御素子のゲート端子と、複数の第6の電流制御素子のゲート端子にそれぞれ印加するバイアス信号の電流を電流低減手段により低減させて、カレントミラー回路が構成される第1及び第5の電流制御素子のゲート端子間と、第2及び第6の電流制御素子のゲート端子間でそれぞれ行われる電流の充放電を10 抑えるようにしたので、各ゲート端子間の充放電による電流の発振を抑えることが可能となり、そのため、その発振による回路の破損を防ぐことができるという効果がある。

【0016】また、電流の充放電によるバイアス信号の変動も抑止できるので、電圧制御発振回路が、印加された制御電圧に対して一定の周波数で発振できるようになり、このため、より高い周波数でも安定して発振することができるという効果がある。

*

*【図面の簡単な説明】

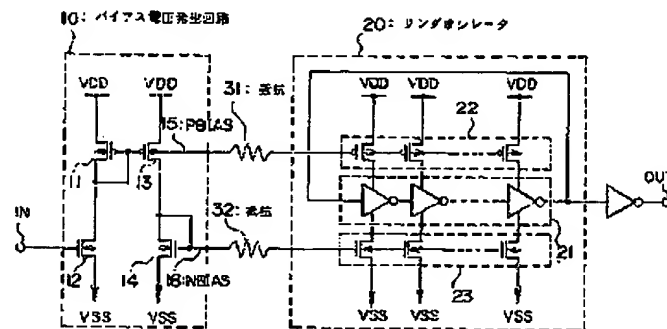
【図1】本発明の実施形態に係るリングオシレータ型の電圧制御発振回路の構成を示すブロック図である。

【図2】従来のリングオシレータ型の電圧制御発振回路の構成を示すブロック図である。

【符号の説明】

- 10 バイアス電圧発生回路
- 11 PチャネルMOSトランジスタ
- 12 NチャネルMOSトランジスタ
- 13 PチャネルMOSトランジスタ
- 14 NチャネルMOSトランジスタ
- 20 リングオシレータ
- 21 インバータ回路
- 22 PチャネルMOSトランジスタ
- 23 NチャネルMOSトランジスタ
- 31 抵抗
- 32 抵抗

【図1】

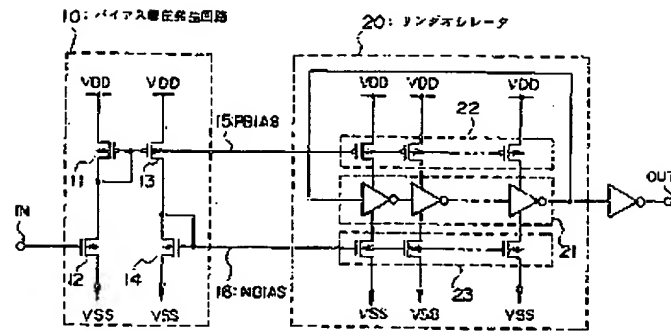


本発明によるリングオシレータ型電圧制御発振回路のブロック図

(5)

特開平11-27106

【図2】



従来のリングオシレータ型電圧制御発振回路のブロック図